

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Requested Patent: JP10135335A

Title: CIRCUIT SIMULATION APPARATUS ;

Abstracted Patent: JP10135335 ;

Publication Date: 1998-05-22 ;

Inventor(s): NAGAHISA KATSUMI ;

Applicant(s): MITSUBISHI ELECTRIC CORP ;

Application Number: JP19960283765 19961025 ;

Priority Number(s): ;

IPC Classification:

H01L21/82; G01R31/28; G06F17/50; H01L21/02; H01L27/04; H01L21/822 ;

Equivalents: ;

#### ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a circuit simulation apparatus capable of predicting the occurrence of the latch up and location thereof. SOLUTION: A layout parameter extractor 100 extracts possible latch up elements which may cause the latch up from a layout drawing to create circuit connection information including circuit-like connection information of the latch up elements. A simulator 200 simulates a semiconductor integrated circuit including the latch up elements as circuit elements to output simulation result D3. A latch up judging unit 3 predicts whether the latch up element is latched up or not, from the simulation result D3. Thus, this circuit simulation can reduce, if used, the developing time about the latch up of semiconductor integrated circuits.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-135335

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/82

H 0 1 L 21/82

C

G 0 1 R 31/28

21/02

Z

G 0 6 F 17/50

G 0 1 R 31/28

F

H 0 1 L 21/02

G 0 6 F 15/60

6 6 2 G

27/04

6 6 6 A

審査請求 未請求 請求項の数13 O L (全 19 頁) 最終頁に続く

(21) 出願番号

特願平8-283765

(22) 出願日

平成8年(1996)10月25日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 永久 克己

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

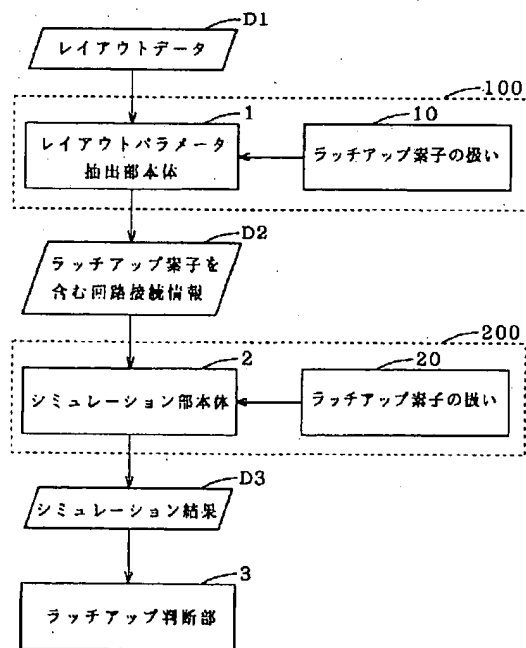
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 回路シミュレーション装置

(57) 【要約】

【課題】 ラッチアップの発生及びその発生箇所を予測できる回路シミュレーション装置を得る。

【解決手段】 レイアウトパラメータ抽出部100は、レイアウト図からラッチアップが発生する可能性のある部分をラッチアップ素子として抽出し、ラッチアップ素子の回路的な接続情報を含む回路接続情報D2を生成する。シミュレーション部200は、ラッチアップ素子も一つの回路素子として含めた半導体集積回路に対してシミュレーションを行い、シミュレーション結果D3を出力する。ラッチアップ判断部3はシミュレーション結果D3により、ラッチアップ素子がラッチアップしているか否かを予測する。このため、本回路シミュレーションを用いれば、半導体集積回路のラッチアップに係る開発期間等の短縮が図れる。



100: レイアウトパラメータ抽出部  
200: シミュレーション部

## 【特許請求の範囲】

【請求項1】 半導体集積回路のレイアウト図のデータから前記半導体集積回路を構成する複数の回路素子及びその回路素子の電気的特性を決定するためのパラメータを抽出し、前記複数の回路素子の回路接続情報を生成するレイアウトパラメータ抽出部と、

前記パラメータを用いて前記複数の回路素子の電気的特性を求め、前記回路接続情報に対して回路シミュレーションを行うシミュレーション部と、を備えた回路シミュレーション装置であって、

前記レイアウトパラメータ抽出部は、

前記レイアウト図のうちラッチアップが発生する可能性のある部分を前記回路素子の一種であるラッチアップ素子として抽出し、また、前記ラッチアップ素子の前記パラメータを抽出し、前記ラッチアップ素子も含めた前記回路接続情報を生成し、

前記シミュレーション部は、

前記ラッチアップ素子のパラメータを用いて前記ラッチアップ素子の電気的特性を求め、前記ラッチアップ素子も含めた回路接続情報に対して前記回路シミュレーションを行う回路シミュレーション装置。

【請求項2】 前記レイアウトパラメータ抽出部は、

前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出する請求項1記載の回路シミュレーション装置。

【請求項3】 前記所定の規則は、

お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、

前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、

前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、

前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在することと、

前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在することと、

前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続されていることと、を含む請求項2記載の回路シミュレーション装置。

【請求項4】 前記所定の規則は、

前記第1～第4の拡散領域が一直線上に存在することをさらに含む請求項3記載の回路シミュレーション装置。

【請求項5】 前記ラッチアップ素子は、

入出力端子として、高電位へ接続される第1の端子と低電位へ接続される第2の端子との2つの端子のみを有す

る単一の素子として扱われる請求項1記載の回路シミュレーション装置。

【請求項6】 前記シミュレーション部は、

前記ラッチアップ素子のパラメータによって決定される電気的特性を得るための電気的特性生成部を含む請求項1又は5記載の回路シミュレーション装置。

【請求項7】 前記ラッチアップ素子のパラメータには、前記ラッチアップが発生する可能性のある部分の寸法が含まれ、

前記電気的特性生成部は、

前記ラッチアップが発生する可能性のある部分を模した前記寸法が異なる複数のTEGを実測して得られた複数の電気的特性を格納しておく電気的特性格納部と、

前記電気的特性格納部に格納されている複数の電気的特性の中から当該ラッチアップ素子のパラメータに含まれている寸法に対応する前記TEGの電気的特性を選択する選択部と、を備えた請求項6記載の回路シミュレーション装置。

【請求項8】 前記ラッチアップ素子のパラメータには、前記ラッチアップが発生する可能性のある部分の寸法が含まれ、

前記電気的特性生成部は、

前記ラッチアップが発生する可能性のある部分を模した寸法が異なる複数のレイアウト図に対してデバイスシミュレーションを行うことによって得られた複数の電気的特性を格納しておく電気的特性格納部と、

前記電気的特性格納部に格納されている複数の電気的特性の中から当該ラッチアップ素子のパラメータに含まれている寸法に対応する前記TEGの電気的特性を選択する選択部と、を備えた請求項6記載の回路シミュレーション装置。

【請求項9】 前記電気的特性生成部は、

前記ラッチアップが発生する可能性のある部分に対して前記回路シミュレーションと同時にデバイスシミュレーションを行うことによって前記ラッチアップ素子の電気的特性を得る請求項6記載の回路シミュレーション装置。

【請求項10】 前記レイアウトパラメータ抽出部は、

前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出し、

前記所定の規則は、

お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、

前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、

前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、

前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在すること、

前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在すること、

前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続されていることと、を含み、

前記パラメータは、

前記n型半導体のウェル領域と前記p型半導体のウェル領域との境界から第1の拡散領域までの最短の距離が表わされる第1のパラメータと、

前記境界から第2の拡散領域までの最短の距離が表わされる第2のパラメータと、

前記境界に垂直な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第3のパラメータと、

前記境界から第3の拡散領域までの最短の距離が表わされる第4のパラメータと、

前記境界から第4の拡散領域までの最短の距離が表わされる第5のパラメータと、

前記境界に垂直な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第6のパラメータと、

前記境界と平行な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第7のパラメータと、

前記境界と平行な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第8のパラメータと、からなる請求項1、6～9のいずれかに記載の回路シミュレーション装置。

【請求項11】 前記レイアウトパラメータ抽出部は、前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出し、前記所定の規則は、

お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、

前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、

前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、

前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在することと、

前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在することと、

域が存在することと、

前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続されていることと、

前記第1～第4の拡散領域が一直線上に存在することと、を含み、

前記パラメータは、

前記n型半導体のウェル領域と前記p型半導体のウェル領域との境界から第1の拡散領域までの最短の距離が表わされる第1のパラメータと、

前記境界から第2の拡散領域までの最短の距離が表わされる第2のパラメータと、

前記境界に垂直な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第3のパラメータと、

前記境界から第3の拡散領域までの最短の距離が表わされる第4のパラメータと、

前記境界から第4の拡散領域までの最短の距離が表わされる第5のパラメータと、

前記境界に垂直な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第6のパラメータと、からなる請求項1、6～9のいずれかに記載の回路シミュレーション装置。

【請求項12】 前記シミュレーション部が行う回路シミュレーションの結果から前記ラッチアップが発生しているか否かを判断するラッチアップ判断部をさらに備えた請求項1記載の回路シミュレーション装置。

【請求項13】 前記ラッチアップ素子は、入出力端子として、高電位へ接続される第1の端子と低電位へ接続される第2の端子との2つの端子のみを有し、

前記ラッチアップ判断部は、

前記第1の端子・前記第2の端子間に流れる電流がラッチアップしているか否かを判断するための所定の第1の基準値より大きく、かつ前記第1の端子・前記第2の端子間の電位差がラッチアップしているか否かを判断するための所定の第2の基準値より小さい場合、当該ラッチアップ素子はラッチアップしていると判断する請求項12記載の回路シミュレーション装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、LSI等の半導体集積回路の製造又は開発において用いられ、ラッチアップの発生及びその発生箇所が予測できる回路シミュレーション装置に関する。

【0002】

【従来の技術】LSIのような大規模回路に対して用いられる従来のラッチアップの発生及びその発生箇所を予測するラッチアップ発生箇所予測方法は、以下の通りである。まず、開発段階において大規模回路の実チップを

試作した後、その実チップを試験的に動作させて、実際に実チップ内でラッチアップが発生しているか否かを確認する。ラッチアップが発生していることが確認された場合、発光現象を利用したいわゆる発光解析等の手法を用いて、そのラッチアップの発生箇所を同定する。

#### 【0003】

【発明が解決しようとする課題】ラッチアップの発生箇所及びその発生箇所を予測する方法に関して、上述したラッチアップ発生箇所予測方法以外に、有効な方法がない。上述した従来のラッチアップ発生箇所予測方法を用いた、大規模回路を設計する開発フローの一例を簡単に図13を用いて説明する。まず、大規模回路の設計を行う(ステップ101)。次に、実チップの試作を行う(ステップ102)。次に、実チップを試験的に動作させる(ステップ103)。次に、実際に実チップ内でラッチアップが発生しているか否かを確認する(ステップ104)。

【0004】ステップ104において、ラッチアップが発生していることが確認されなかった場合、ラッチアップの試験は終了する。

【0005】一方、ステップ104において、ラッチアップが発生していることが確認された場合は、ラッチアップ箇所の同定を行う(ステップ105)。次に、ラッチアップ箇所に関して、大規模回路の設計の変更を行う(ステップ106)。従って、ステップ104において、ラッチアップが発生していることが確認されなくなるまで、ステップ102～204を繰り返すことになり、非常に開発期間が長くなる。また、ステップ101～203を経て、一回目のステップ104において、ラッチアップが発生していることが確認されなかった場合でも、ステップ102及びステップ103のため、開発期間が長くなる。

【0006】また、製造プロセスが変更になったとき、ラッチアップの発生に悪影響を及ぼす場合がある。この場合、プロセスパラメータを変更して、この悪影響を改善する。しかし、プロセスパラメータを変更する際、上述のラッチアップ発生箇所予測方法を用いて、ラッチアップの発生状況を試験して、その結果に基づいて、適切なプロセスパラメータを決定して変更する。この場合も、実チップの試作等のため、プロセスパラメータを決定するまでの決定期間が長くなる。

【0007】以上のように、従来のラッチアップ発生箇所予測方法は、実チップを試作した後、その実チップを用いてラッチアップが発生しているか否かを確認し、ラッチアップが発生していることが確認された場合、そのラッチアップの発生箇所を同定するため、例えば上述の大規模回路の開発期間やプロセスパラメータの決定期間等のターンアラウンドタイムが長くなるという問題点がある。

【0008】この発明は、以上の問題点を解決するため

になされたものであり、回路シミュレーションの技術を用いることにより、ラッチアップの発生及びその発生箇所を予測し、これにより、開発期間等のターンアラウンドタイムを短縮する回路シミュレーション装置を得ることを目的とする。

#### 【0009】

【課題を解決するための手段】本発明の請求項1に係る課題解決手段は、半導体集積回路のレイアウト図のデータから前記半導体集積回路を構成する複数の回路素子及びその回路素子の電気的特性を決定するためのパラメータを抽出し、前記複数の回路素子の回路接続情報を生成するレイアウトパラメータ抽出部と、前記パラメータを用いて前記複数の回路素子の電気的特性を求め、前記回路接続情報に対して回路シミュレーションを行うシミュレーション部とを備えた回路シミュレーション装置であって、前記レイアウトパラメータ抽出部は、前記レイアウト図のうちラッチアップが発生する可能性のある部分を前記回路素子の一種であるラッチアップ素子として抽出し、また、前記ラッチアップ素子の前記パラメータを抽出し、前記ラッチアップ素子も含めた前記回路接続情報を生成し、前記シミュレーション部は、前記ラッチアップ素子のパラメータを用いて前記ラッチアップ素子の電気的特性を求め、前記ラッチアップ素子も含めた回路接続情報に対して前記回路シミュレーションを行う。

【0010】本発明の請求項2に係る課題解決手段において、前記レイアウトパラメータ抽出部は、前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出する。

【0011】本発明の請求項3に係る課題解決手段において、前記所定の規則は、お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在することと、前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続されていることとを含む。

【0012】本発明の請求項4に係る課題解決手段において、前記所定の規則は、前記第1～第4の拡散領域が一直線上に存在することをさらに含む。

【0013】本発明の請求項5に係る課題解決手段において、前記ラッチアップ素子は、入出力端子として、高電位へ接続される第1の端子と低電位へ接続される第2

の端子との2つの端子のみを有する単一の素子として扱われる。

【0014】本発明の請求項6に係る課題解決手段において、前記シミュレーション部は、前記ラッチアップ素子のパラメータによって決定される電気的特性を得るための電気的特性生成部を含む。

【0015】本発明の請求項7に係る課題解決手段において、前記ラッチアップ素子のパラメータには、前記ラッチアップが発生する可能性のある部分の寸法が含まれ、前記電気的特性生成部は、前記ラッチアップが発生する可能性のある部分を模した前記寸法が異なる複数のTEGを実測して得られた複数の電気的特性を格納しておく電気的特性格納部と、前記電気的特性格納部に格納されている複数の電気的特性の中から当該ラッチアップ素子のパラメータに含まれている寸法に対応する前記TEGの電気的特性を選択する選択部とを備える。

【0016】本発明の請求項8に係る課題解決手段において、前記ラッチアップ素子のパラメータには、前記ラッチアップが発生する可能性のある部分の寸法が含まれ、前記電気的特性生成部は、前記ラッチアップが発生する可能性のある部分を模した寸法が異なる複数のレイアウト図に対してデバイスシミュレーションを行うことによって得られた複数の電気的特性を格納しておく電気的特性格納部と、前記電気的特性格納部に格納されている複数の電気的特性の中から当該ラッチアップ素子のパラメータに含まれている寸法に対応する前記TEGの電気的特性を選択する選択部とを備える。

【0017】本発明の請求項9に係る課題解決手段において、前記電気的特性生成部は、前記ラッチアップが発生する可能性のある部分に対して前記回路シミュレーションと同時にデバイスシミュレーションを行うことによって前記ラッチアップ素子の電気的特性を得る。

【0018】本発明の請求項10に係る課題解決手段において、前記レイアウトパラメータ抽出部は、前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出し、前記所定の規則は、お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在することと、前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続

されていることとを含み、前記パラメータは、前記n型半導体のウェル領域と前記p型半導体のウェル領域との境界から第1の拡散領域までの最短の距離が表わされる第1のパラメータと、前記境界から第2の拡散領域までの最短の距離が表わされる第2のパラメータと、前記境界に垂直な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第3のパラメータと、前記境界から第3の拡散領域までの最短の距離が表わされる第4のパラメータと、前記境界から第4の拡散領域までの最短の距離が表わされる第5のパラメータと、前記境界に垂直な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第6のパラメータと、前記境界と平行な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第7のパラメータと、前記境界と平行な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第8のパラメータとからなる。

【0019】本発明の請求項11に係る課題解決手段において、前記レイアウトパラメータ抽出部は、前記レイアウト図のうち前記ラッチアップが発生する可能性のある部分を特定するための所定の規則を有し、この規則を用いて前記ラッチアップ素子を抽出し、前記所定の規則は、お互いに接したn型半導体のウェル領域とp型半導体のウェル領域とが存在することと、前記n型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第1の拡散領域が存在することと、前記n型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第2の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記n型半導体のウェル領域より高不純物濃度のn型半導体の第3の拡散領域が存在することと、前記p型半導体のウェル領域内に、前記p型半導体のウェル領域より高不純物濃度のp型半導体の第4の拡散領域が存在することと、前記第1及び第2の拡散領域が高電位へ接続され、前記第3及び第4の拡散領域が低電位へ接続されていることと、前記第1～第4の拡散領域が一直線上に存在することとを含み、前記パラメータは、前記n型半導体のウェル領域と前記p型半導体のウェル領域との境界から第1の拡散領域までの最短の距離が表わされる第1のパラメータと、前記境界から第2の拡散領域までの最短の距離が表わされる第2のパラメータと、前記境界に垂直な方向であって、前記第1の拡散領域と前記第2の拡散領域との最短の距離が表わされる第3のパラメータと、前記境界から第3の拡散領域までの最短の距離が表わされる第4のパラメータと、前記境界から第4の拡散領域までの最短の距離が表わされる第5のパラメータと、前記境界に垂直な方向であって、前記第3の拡散領域と前記第4の拡散領域との最短の距離が表わされる第6のパラメータとからなる。

【0020】本発明の請求項12に係る課題解決手段において、前記シミュレーション部が行う回路シミュレーションの結果から前記ラッチアップが発生しているか否かを判断するラッチアップ判断部をさらに備える。

【0021】本発明の請求項13に係る課題解決手段において、前記ラッチアップ素子は、入出力端子として、高電位へ接続される第1の端子と低電位へ接続される第2の端子との2つの端子のみを有し、前記ラッチアップ判断部は、前記第1の端子・前記第2の端子間に流れる電流がラッチアップしているか否かを判断するための所定の第1の基準値より大きく、かつ前記第1の端子・前記第2の端子間の電位差がラッチアップしているか否かを判断するための所定の第2の基準値より小さい場合、当該ラッチアップ素子はラッチアップしていると判断する。

【0022】

【発明の実施の形態】

発明の原理。図1は本発明の回路シミュレーション装置を示す概念図である。図1において、D1は半導体集積回路のレイアウト図をデータ化したレイアウトデータ、1はレイアウトデータD1から半導体集積回路を構成する複数の回路素子（例えば、トランジスタ、抵抗器、コンデンサ等）及びその回路素子の電気的特性を決定するためのパラメータを抽出するレイアウトパラメータ抽出部本体、D2はレイアウトパラメータ抽出部本体1が生成する複数の回路素子の回路接続情報（ネットリスト）、2はパラメータを用いて複数の回路素子の電気的特性を求め、回路接続情報D2に対して回路シミュレーションを行うシミュレーション部本体、D3はシミュレーション部本体2のシミュレーションの結果であるシミュレーション結果、3はシミュレーション結果D3からラッチアップが発生しているか否かを検出するラッチアップ判断部、10、20は素子モデルとしてラッチアップ素子のモデルを取り扱う手法を規定している規定部である。

【0023】100はレイアウトパラメータ抽出部本体1及び規定部10からなるレイアウトパラメータ抽出部である。200はシミュレーション部本体2及び規定部20からなるシミュレーション部である。また、レイアウトパラメータ抽出部100、シミュレーション部200、ラッチアップ判断部3はそれぞれコンピュータプログラムで構成されている。

【0024】次に、本発明の回路シミュレーション装置の動作について説明する。本発明の従来でない特徴は、規定部10、20がそれぞれレイアウトパラメータ抽出部本体1及びシミュレーション部本体2に加えられていることである。

【0025】規定部10によって規定される手法は、レイアウト図のうちラッチアップが発生する可能性のある部分を回路素子の一種であるラッチアップ素子として抽

出する手法であり、さらに、同手法は、ラッチアップ素子のパラメータを抽出する手法である。また、レイアウトパラメータ抽出部本体1が生成する回路接続情報D2には、ラッチアップ素子の回路的な接続情報が含まれている。規定部10のさらに詳しい内容は、後述する実施の形態1～6において説明している。

【0026】例えばレイアウトパラメータ抽出部本体1が、図2に示すレイアウト図をデータ化したレイアウトデータから回路接続情報D2を生成する場合を考える。図2はレイアウト図の一例であり、CMOSインバータのレイアウト図である。本発明のレイアウトパラメータ抽出部本体1は、図3に示すように、PMOSのトランジスタpTrとNMOSのトランジスタnTrとラッチアップ素子LUとを回路素子として抽出し、トランジスタpTr、トランジスタnTr、ラッチアップ素子LUのそれぞれの特性を決定するためのパラメータL/W、L/W、dnを抽出する。そして、同抽出部本体1は、図3に示すように、3つの回路素子の回路的な接続情報を含む回路接続情報D2を生成する。

【0027】仮に図1のレイアウトパラメータ抽出部本体1に規定部10が加えられていない場合、即ち、従来のレイアウトパラメータ抽出部本体1の場合を考える。従来のレイアウトパラメータ抽出部本体1は、図2に示すレイアウト図をデータ化したレイアウトデータから回路接続情報D2を生成する場合、図4に示すように、PMOSのトランジスタpTrとNMOSのトランジスタnTrとだけを回路素子として抽出し、トランジスタpTr、トランジスタnTrのそれぞれのパラメータL/W、L/Wのみを抽出する。そして、同抽出部本体1は、ラッチアップ素子を含まない2つの回路素子の回路的な接続情報を含む回路接続情報D2を生成する。

【0028】規定部20によって規定される手法は、ラッチアップ素子のパラメータを用いてラッチアップ素子の電気的特性を求める手法である。また、シミュレーション部200は回路シミュレーションの結果をシミュレーション結果D3として出力する。規定部20により、シミュレーション結果D3には、ラッチアップ素子の電気的特性を考慮した結果が反映されている。規定部20のさらに詳しい内容は、後述する実施の形態1～6において説明している。

【0029】シミュレーションを使用する使用者の中には、このシミュレーション結果D3からでもラッチアップ素子がラッチアップしているか否かを判断できる者もいるだろうし、ラッチアップ素子がラッチアップしているか否かを判断できない者もいるであろう。そこで、シミュレーション結果D3により、ラッチアップ素子がラッチアップしているか否かをラッチアップ判断部3に判断させることで、自動的にラッチアップを検出できる。

【0030】さて、図13に示す大規模回路を設計する開発フローに、本発明の回路シミュレーション装置を適

用した場合を考えてみる。通常、ステップ101において、回路設計は回路シミュレーションによって回路の動作の検証を行いながら行われる。この回路シミュレーションを本発明の回路シミュレーション装置によって行えば、ステップ101内でラッチアップの発生及びその発生する箇所を予測することができる。従って、ステップ102～106が不要になり、開発期間が大幅に短くなる。

【0031】以上のように本発明による効果は以下の通りである。

【0032】(1) ラッチアップの発生及びその発生箇所を予測できる回路シミュレーションが得られ、この回路シミュレーションを用いれば、上述の開発期間等のターンアラウンドタイムが短くなる。

【0033】(2) 実チップの試作を行う必要がないため開発に要する費用を削減することが図れる。

【0034】(3) ラッチアップ素子がラッチアップしているか否かをラッチアップ判断部3に判断させることで、自動的にラッチアップを検出できる。

【0035】以下、本発明の好ましい実施の形態1～6を説明する。

【0036】実施の形態1. 図5は本発明の実施の形態1における回路シミュレーション装置を示す概念図である。図5において、10aは図1の規定部10の本実施の形態の好ましい形態である規定部、20aは図1の規定部20の本実施の形態の好ましい形態である電気的特性生成部、図5中のその他の符号は図1中の符号に対応している。

【0037】次に、本実施の形態における回路シミュレーション装置の動作について説明する。図5の回路シミュレーション装置の動作は、主として図1の回路シミュレーション装置と同じである。

【0038】規定部10aによって規定される手法は、図1の規定部10と同様に、ラッチアップ素子及びそのパラメータを抽出する手法である。このラッチアップ素子の抽出を行うには、レイアウト図のうち、どういう形状が、ラッチアップが発生する可能性のある部分なのかを特定するための規則を定めておく必要がある。

【0039】図6は、ラッチアップが発生する可能性のある部分を特定するための規則を示す概念図である。図6中のXはn型半導体のウェル領域Wnとp型半導体のウェル領域Wpとの境界であり、図6の上側がウェル領域Wn、下側がウェル領域Wpである。

【0040】この規則は、以下の①～⑦からなる。①お互いに接したウェル領域Wnとウェル領域Wpとが存在する。②ウェル領域Wn内に、ウェル領域Wpより高不純物濃度のp型半導体の第1の拡散領域p+が存在する。③ウェル領域Wn内に、ウェル領域Wnより高不純物濃度のn型半導体の第2の拡散領域n+が存在する。④ウェル領域Wp内に、ウェル領域Wnより高不純物濃

度のn型半導体の第3の拡散領域n+が存在する。⑤ウェル領域Wp内に、ウェル領域Wpより高不純物濃度のp型半導体の第4の拡散領域p+が存在する。⑥第1及び第2の拡散領域が高電位へ接続され、第3及び第4の拡散領域が低電位へ接続されている。⑦第1～第4の拡散領域が一直線上に存在する。

【0041】また、ラッチアップ素子のパラメータdnは、図6に示すように、d1～d6からなる。パラメータd1はn型のウェル領域Wnとp型のウェル領域Wpの境界Xからウェル領域Wn内の第1の拡散領域p+までの最短の距離である。パラメータd2は境界Xからウェル領域Wn内の第2の拡散領域n+までの最短の距離である。パラメータd3は境界Xに垂直な方向であって、ウェル領域Wn内の第1の拡散領域p+とウェル領域Wn内の第2の拡散領域n+との最短の距離である。パラメータd4は境界Xからウェル領域Wp内の第3の拡散領域n+までの最短の距離である。パラメータd5は境界Xからウェル領域Wp内の第4の拡散領域p+までの最短の距離である。パラメータd6は境界Xに垂直な方向であって、ウェル領域Wp内の第3の拡散領域n+とウェル領域Wp内の第4の拡散領域p+との最短の距離である。以上のように、ラッチアップ素子のパラメータd1～d6は、ラッチアップが発生する可能性のある部分の寸法である。

【0042】なお、①～⑦の規則によって特定されるラッチアップが発生する可能性のある部分には、例えば、図2に示すレイアウト図が該当する。図6中の各符号は図2中の各符号に対応している。

【0043】また、ラッチアップ素子は、入出力端子として、高電位VDDに接続される端子及び低電位VSSに接続される端子のみを有する単一の素子(2端子素子)として扱う。

【0044】図5の電気的特性生成部20aは、図1の規定部20と同様に、ラッチアップ素子のパラメータを用いてラッチアップ素子の電気的特性を求める。以下に本実施の形態における電気的特性生成部20aについて説明する。まず、電気的特性はラッチアップ素子の2端子間の電流-電圧特性である。電流-電圧特性は、過渡状態及び定常状態の電流-電圧特性からなることが好ましい。そして、本実施の形態における上述の規則を満たす、ラッチアップが発生する可能性のある部分を模した形状のTEGを作成する。また、できるだけ多く、パラメータd1～d6である寸法を変えたTEGを作成することが望ましい。そして、TEGの高電位VDDへ接続される端子と低電位VSSへ接続される端子との間の電流-電圧特性を実測して得る。この複数の電流-電圧特性を、テーブルとして保持しておくため、電気的特性を格納しておく電気的特性格納部21aに格納しておく。シミュレーション部本体2が回路シミュレーションを行う場合、選択部22が、ラッチアップ素子の電気的特性

を、当該ラッチアップ素子のパラメータである寸法と同じ寸法又は最も近い寸法のTEGの電流-電圧特性を電気的特性格納部21aから選択することで、シミュレーション部本体2は、ラッチアップ素子の2端子間に流れる電流や2端子間に生じる電位差を求め、ラッチアップ素子も含めた回路接続情報D2に対して回路シミュレーションを行う。

【0045】そして、シミュレーション部200は回路シミュレーションの結果をシミュレーション結果D3として出力する。電気的特性生成部20aにより、シミュレーション結果D3には、ラッチアップ素子の電気的特性を考慮した結果が反映されている。

【0046】ラッチアップ判断部3は、シミュレーション結果D3からラッチアップ素子の2端子間に流れる電流が予め定められた第1の基準値より大きく、かつ2端子間の電位差が予め定められた第2の基準値より小さい場合、そのラッチアップ素子はラッチアップしているとみなす。これら第1及び第2の基準値は、例えば、作業者が過去の経験等から適切な値を設定する。

【0047】本実施の形態における効果は、上述の(1)～(3)の効果に加え、以下の通りである。

【0048】(4) 2つの基準値を用いることで、ラッチアップの発生及びその箇所を検出することが可能になる。

【0049】(5) 予め電流-電圧特性を予め得ておくため、後述する実施の形態3及び6より、回路シミュレーションの際に要する計算時間、回路シミュレーションに必要なメモリを小さくすることが図れる。

【0050】(6) ラッチアップが発生する可能性のある部分を特定するための規則を定めておくことにより、計算機が自動的にレイアウトデータからラッチアップが発生する可能性のある部分を特定できる。

【0051】(7) ラッチアップが発生する可能性のある部分を特定するための規則を、①～⑥に加えて、さらに⑦のように定めることにより、ラッチアップ素子の抽出におけるアルゴリズムが後述する実施の形態4～6より簡単になり、ラッチアップ素子の抽出に要する時間が短縮される。また、⑦によって、パラメータの数を6つとすることができ、電流-電圧特性の選択のアルゴリズムが、実施の形態4～6より、簡単になり、電流-電圧特性の選択に要する時間が短縮される。

【0052】(8) TEGを用いて、ラッチアップ素子の電流-電圧特性を得ることにより、より実チップに近いラッチアップ素子の電気的特性を得ることが図れる。

【0053】(9) パラメータの数が6つであるため、後述する実施の形態4より、作成するTEGの個数及びそれらから得られる電気的特性の数が削減できるため、テーブルを作成するまでに要する時間が削減できる。

【0054】実施の形態2。図7は本発明の実施の形態2における回路シミュレーション装置を示す概念図であ

る。図7において、20bは図1の規定部20の本実施の形態の好ましい形態である電気的特性生成部、図7中のその他の符号は図5中の符号に対応している。

【0055】次に、本実施の形態における回路シミュレーション装置の動作について説明する。図7の回路シミュレーション装置の動作は、主として図5の回路シミュレーション装置と同じである。

【0056】電気的特性生成部20bは、図1の規定部20と同様に、ラッチアップ素子のパラメータを用いてラッチアップ素子の電気的特性を求める。以下に本実施の形態における電気的特性生成部20bについて説明する。まず、電気的特性はラッチアップ素子の2端子間の電流-電圧特性である。電流-電圧特性は、過渡状態及び定常状態の電流-電圧特性からなることが好ましい。そして、実施の形態1における規則を満たし、ラッチアップが発生する可能性のある部分を模した形状のレイアウト図(このレイアウト図を「疑似レイアウト図」と称す)を作成する。また、できるだけ多く、パラメータd1～d6である寸法を変えた疑似レイアウト図を作成することが望ましい。そして、疑似レイアウト図の高電位VDDへ接続される端子と低電位VSSへ接続される端子との間の電流-電圧特性をデバイスシミュレーションを用いて得る。この複数の電流-電圧特性を、テーブルとして保持しておくため、電気的特性を電気的特性格納部21bに格納しておく。シミュレーション部本体2が回路シミュレーションを行う場合、選択部22が、ラッチアップ素子の電気的特性を、当該ラッチアップ素子のパラメータである寸法と同じ寸法又は最も近い寸法の疑似レイアウト図の電流-電圧特性を電気的特性格納部21aから選択することで、シミュレーション部本体2は、ラッチアップ素子の2端子間に流れる電流や2端子間に生じる電位差を求め、ラッチアップ素子も含めた回路接続情報D2に対して回路シミュレーションを行う。

【0057】そして、シミュレーション部200は回路シミュレーションの結果をシミュレーション結果D3として出力する。電気的特性生成部20bにより、シミュレーション結果D3には、ラッチアップ素子の電気的特性を考慮した結果が反映されている。

【0058】また、デバイスシミュレーションは、扱う疑似レイアウト図が二次元であるため、二次元のレイアウト図用の二次元デバイスシミュレーションを用いることが好ましい。二次元デバイスシミュレーションを用いることにより、三次元のレイアウト図用の三次元デバイスシミュレーションを用いた場合より、シミュレーションに要する計算時間が短くなる。

【0059】本実施の形態における効果は、上述の(1)～(7)の効果に加えて、以下の通りである。

【0060】(10) デバイスシミュレーションを用いて、ラッチアップ素子の電流-電圧特性を得ることにより、実施の形態1や後述する実施の形態4のTEGを作

成する必要がないため、テーブルを作成するのに要する時間を短くすることが図れる。また、実チップやTEGを作成しないため、従来の技術で説明したプロセス変更によるプロセスパラメータの決定期間が短くなる。また、変更したプロセスに対応するテーブルを作成する際も、TEGを作成しないため、比較的短時間にテーブルを更新できる。

【0061】(11)パラメータの数が6つで済むため、後述する実施の形態5より、作成する疑似レイアウト図の個数及びそれらから得られる電気的特性の数が削減できるため、テーブルを作成するまでに要する時間が削減できる。

【0062】実施の形態3。図8は本発明の実施の形態3における回路シミュレーション装置を示す概念図である。図8において、20cは図1の規定部20の本実施の形態の好ましい形態である電気的特性生成部、図8中のその他の符号は図5中の符号に対応している。

【0063】次に、本実施の形態における回路シミュレーション装置の動作について説明する。図8の回路シミュレーション装置の動作は、主として図5の回路シミュレーション装置と同じである。

【0064】電気的特性生成部20cは、図1の規定部20と同様に、ラッチアップ素子のパラメータを用いてラッチアップ素子の電気的特性を求める。以下に本実施の形態における電気的特性生成部について説明する。まず、電気的特性はラッチアップ素子の2端子間の電流-電圧特性である。そして、電気的特性生成部20cは、実施の形態1における規則を満たし、パラメータd1～d6である寸法と同じレイアウト図（このレイアウト図を「疑似レイアウト図」と称す）に対してデバイスシミュレーションを行う。従って、この疑似レイアウト図は、レイアウトデータD1の基となるレイアウト図のうちの当該パラメータd1～d6に対応するラッチアップが発生する可能性のある部分を抽出した形状と同じである。また、このデバイスシミュレーションは、シミュレーション部本体2が行う回路シミュレーションと同時に実行される。このように、シミュレーション部200は、ラッチアップ素子のみに対して電気的特性を得るためのデバイスシミュレーションと、回路接続情報D2に対しての回路シミュレーションとを同時に行う回路/デバイス混合シミュレーションを行う。

【0065】そして、シミュレーション部200は回路シミュレーションの結果をシミュレーション結果D3として出力する。電気的特性生成部20cにより、シミュレーション結果D3には、ラッチアップ素子の電気的特性を考慮した結果が反映されている。

【0066】本実施の形態における効果は、実施の形態1における(1)～(4)、(6)及び(7)の効果に加えて、以下の通りである。

【0067】(12)回路/デバイス混合シミュレーシ

ョンを用いるため、実施の形態1及び2そして後述する実施の形態4及び5のテーブルを作成する必要がない。また、実チップやTEGを作成しないため、従来の技術で説明したプロセス変更によるプロセスパラメータの決定期間が短くなる。

【0068】実施の形態4。図9は本発明の実施の形態4における回路シミュレーション装置を示す概念図である。図9において、10bは図1の規定部10の本実施の形態の好ましい形態である規定部、図9中のその他の符号は図5中の符号に対応している。

【0069】次に、本発明の実施の形態における回路シミュレーション装置の動作について説明する。図9の回路シミュレーション装置の動作は、主として図5の回路シミュレーション装置と同じである。

【0070】規定部10bは、図5の規定部10aと主として同様であるが、規則及びパラメータが異なる。

【0071】図10は、ラッチアップが発生する可能性のある部分を特定するための規則を示す概念図である。図10中の各符号は、図6中の各符号に対応している。

【0072】この規則は、以下の①～⑥からなる。①お互いに接したウェル領域 $W_n$ とウェル領域 $W_p$ とが存在する。②ウェル領域 $W_n$ 内に、ウェル領域 $W_p$ より高不純物濃度のp型半導体の第1の拡散領域 $p+$ が存在する。③ウェル領域 $W_n$ 内に、ウェル領域 $W_n$ より高不純物濃度のn型半導体の第2の拡散領域 $n+$ が存在する。④ウェル領域 $W_p$ 内に、ウェル領域 $W_n$ より高不純物濃度のn型半導体の第3の拡散領域 $n+$ が存在する。⑤ウェル領域 $W_p$ 内に、ウェル領域 $W_p$ より高不純物濃度のp型半導体の第4の拡散領域 $p+$ が存在する。⑥第1及び第2の拡散領域が高電位へ接続され、第3及び第4の拡散領域が低電位へ接続されている。

【0073】また、ラッチアップ素子のパラメータ $d_n$ は、図10に示すように、 $d_1 \sim d_8$ からなる。パラメータ $d_1$ はn型のウェル領域 $W_n$ とp型のウェル領域 $W_p$ の境界Xからウェル領域 $W_n$ 内の第1の拡散領域 $p+$ までの最短の距離である。パラメータ $d_2$ は境界Xからウェル領域 $W_n$ 内の第2の拡散領域 $n+$ までの最短の距離である。パラメータ $d_3$ は境界Xに垂直な方向であってウェル領域 $W_n$ 内の第1の拡散領域 $p+$ とウェル領域 $W_n$ 内の第2の拡散領域 $n+$ との最短の距離である。パラメータ $d_4$ は境界Xからウェル領域 $W_p$ 内の第3の拡散領域 $n+$ までの最短の距離である。パラメータ $d_5$ は境界Xからウェル領域 $W_p$ 内の第4の拡散領域 $p+$ までの最短の距離である。パラメータ $d_6$ は境界Xに垂直な方向であってウェル領域 $W_p$ 内の第3の拡散領域 $n+$ とウェル領域 $W_p$ 内の第4の拡散領域 $p+$ との最短の距離である。パラメータ $d_7$ は境界Xに平行な方向であってウェル領域 $W_n$ 内の第1の拡散領域 $p+$ とウェル領域 $W_n$ 内の第2の拡散領域 $n+$ との最短の距離である。パラメータ $d_8$ は境界Xに平行な方向であってウェル領域 $W$

p内の第3の拡散領域n+とウェル領域Wp内の第4の拡散領域p+との最短の距離である。以上のように、ラッチアップ素子のパラメータd1~d8はラッチアップが発生する可能性のある部分の寸法である。

【0074】本実施の形態における効果は、上述の(1)~(6)及び(8)に加えて、以下の通りである。

【0075】(13)ラッチアップが発生する可能性のある部分を特定するための規則を、①~⑥のように定めることにより、一般的なレイアウト図に対応できる。

【0076】実施の形態5。図11は本発明の実施の形態5における回路シミュレーション装置を示す概念図である。図11中の符号は図9及び図7中の符号に対応している。

【0077】次に、本実施の形態における回路シミュレーション装置の動作について説明する。図11の規定部10bは図9の規定部10bと同様であり、その他の動作は、図7の回路シミュレーション装置の動作と同様である。

【0078】本実施の形態における効果は、上述の(1)~(6)、(10)及び(13)の効果と同様である。

【0079】実施の形態6。図12は本発明の実施の形態6における回路シミュレーション装置を示す概念図である。図12中の符号は図9及び図8中の符号に対応している。

【0080】次に、本実施の形態における回路シミュレーション装置の動作について説明する。図12の規定部10bは図9の規定部10bと同様であり、その他の動作は、図8の回路シミュレーション装置の動作と同様である。

【0081】本実施の形態における効果は、上述の(1)~(4)、(6)、(12)及び(13)の効果と同様である。

【0082】また、実施の形態1~6において、ラッチアップ素子は、入出力端子として、VDDに接続される端子及びVSSに接続される端子のみを有する単一の素子(2端子素子として扱っている。ラッチアップ素子を扱う手法としては、上述の2端子素子として扱う手法以外にも、ラッチアップ素子を例えば複数のバイポーラトランジスタ等からなる素子として扱う手法が考えられる。しかし、この場合、ラッチアップ素子を構成する各素子の電気的特性を単に組み合わせて得られるラッチアップ素子の電気的特性と、実チップ内のラッチアップ素子に対応する部分の電気的特性とは一致しない場合が多い。従って、ラッチアップ素子を複数の素子からなる素子として扱うのではなく、1つの素子のみからなる2端子の素子として扱うことにより、より実チップに近い電気的特性を得られることが図れる。2端子の素子の電気的特性として、実施の形態1及び4においては、一つの

素子に相当するTEGを実測して得られる。一方、実施の形態2、3、5及び6においては、その1つの2端子の素子の電気的特性として、一つの素子に相当する疑似レイアウト図に対してデバイスシミュレーションを用いることで得られる。

【0083】

【発明の効果】本発明請求項1によると、シミュレーションにより、ラッチアップの発生及びその発生箇所を予測することができるという効果を奏す。

【0084】本発明請求項2によると、ラッチアップが発生する可能性のある部分を特定するための規則を定めておくことにより、計算機が自動的にレイアウトデータからラッチアップが発生する可能性のある部分を特定できるという効果を奏す。

【0085】本発明請求項3によると、一般的なレイアウト図に対応できるという効果を奏す。

【0086】本発明請求項4によると、ラッチアップ素子の抽出におけるアルゴリズムが簡単になり、ラッチアップ素子の抽出に要する時間が短縮され、また、パラメータの数を減らすことが図れるという効果を奏す。

【0087】本発明請求項5によると、電気的特性が一つの素子のみから得られることで、より実チップに近い電気的特性を得られることが図れるという効果を奏す。

【0088】本発明請求項6によると、電気的特性生成部により、シミュレーション部は、ラッチアップ素子を含めた回路接続情報に対して回路シミュレーションを行うことができるという効果を奏す。

【0089】本発明請求項7によると、TEGを用いて、ラッチアップ素子の電気的特性を予め得ることにより、より実チップに近いラッチアップ素子の電気的特性を得ることが図れるという効果を奏す。

【0090】本発明請求項8によると、デバイスシミュレーションを用いて、ラッチアップ素子の電気的特性を予め得ることにより、電気的特性を得るまでに要する時間を短くすることが図れるという効果を奏す。

【0091】本発明請求項9によると、回路シミュレーションとデバイスシミュレーションとを同時に行われるため、予めラッチアップ素子の電気的特性を得る必要がないという効果を奏す。

【0092】本発明請求項10によると、8つのパラメータを用いて、ラッチアップ素子の電気的特性を特定できるという効果を奏す。

【0093】本発明請求項11によると、6つのパラメータを用いて、ラッチアップ素子の電気的特性を特定でき、また、パラメータが6つで済むため、電気的特性格納部に格納される電気的特性の数を少なくすることが図れるという効果を奏す。

【0094】本発明請求項12によると、ラッチアップ素子がラッチアップしているか否かをラッチアップ判断部に判断させることで、自動的にラッチアップを検出で

きという効果を奏す。

【0095】本発明請求項13によると、2つの基準値を用いることで、ラッチアップの発生及びその箇所を検出することが可能になるという効果を奏す。

【図面の簡単な説明】

【図1】 本発明の回路シミュレーション装置を示す概念図である。

【図2】 CMOSインバータのレイアウト図である。

【図3】 本発明の回路シミュレーション装置が図2のレイアウト図から生成するネットリストの概念図である。

【図4】 従来の回路シミュレーション装置が図2のレイアウト図から生成するネットリストの概念図である。

【図5】 本発明の実施の形態1における回路シミュレーション装置を示す概念図である。

【図6】 本発明の実施の形態1～3におけるラッチアップが発生する可能性のある部分を特定するための規則を示す概念図である。

【図7】 本発明の実施の形態2における回路シミュレーション装置を示す概念図である。

ーシオン装置を示す概念図である。

【図8】 本発明の実施の形態3における回路シミュレーション装置を示す概念図である。

【図9】 本発明の実施の形態4における回路シミュレーション装置を示す概念図である。

【図10】 本発明の実施の形態4～6におけるラッチアップが発生する可能性のある部分を特定するための規則を示す概念図である。

【図11】 本発明の実施の形態5における回路シミュレーション装置を示す概念図である。

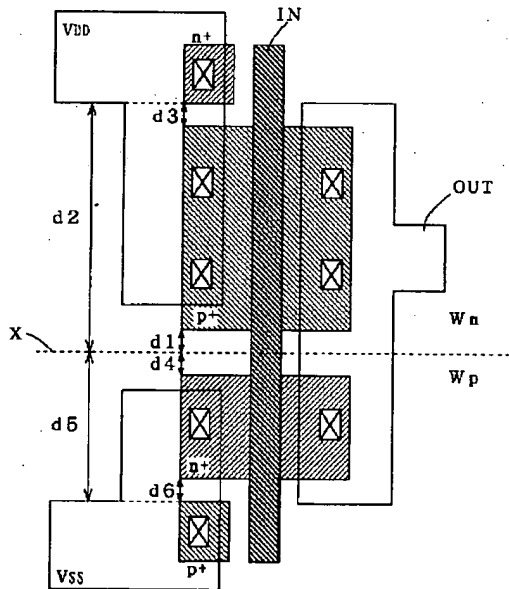
【図12】 本発明の実施の形態6における回路シミュレーション装置を示す概念図である。

【図13】 従来のラッチアップ発生箇所予測方法を用いた、大規模回路を設計する開発フローの例を示すフローチャートである。

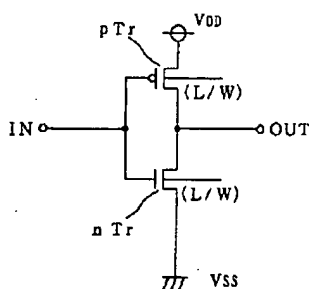
【符号の説明】

100 レイアウトパラメータ抽出部、200 シミュレーション部。

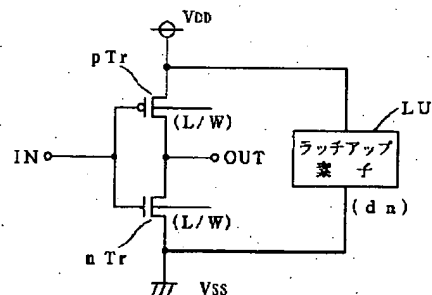
【図2】



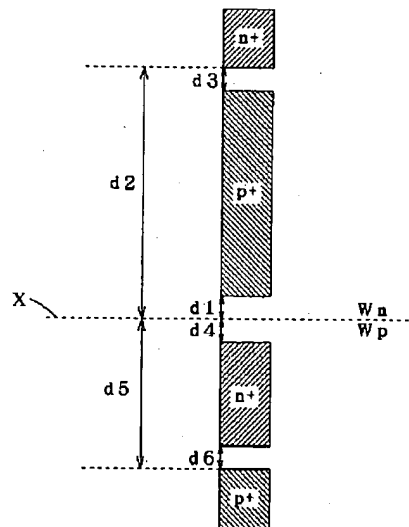
【図4】



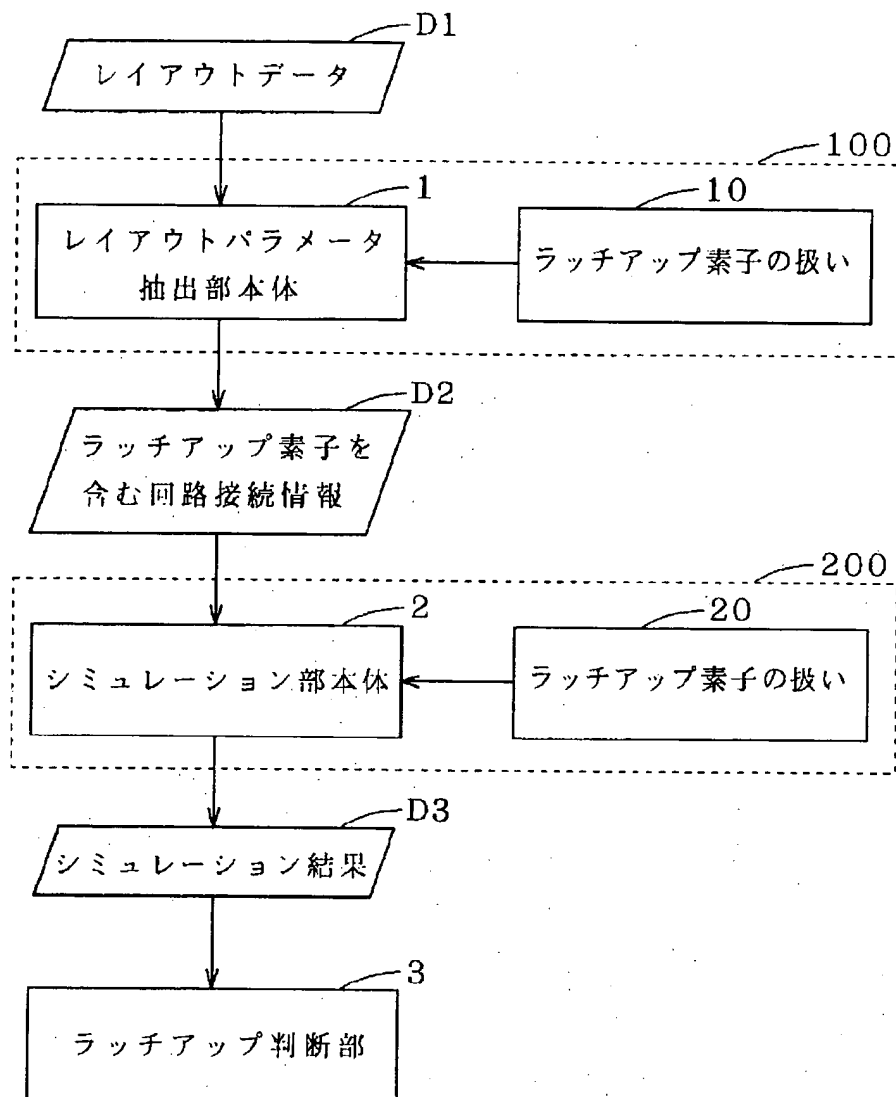
【図3】



【図6】



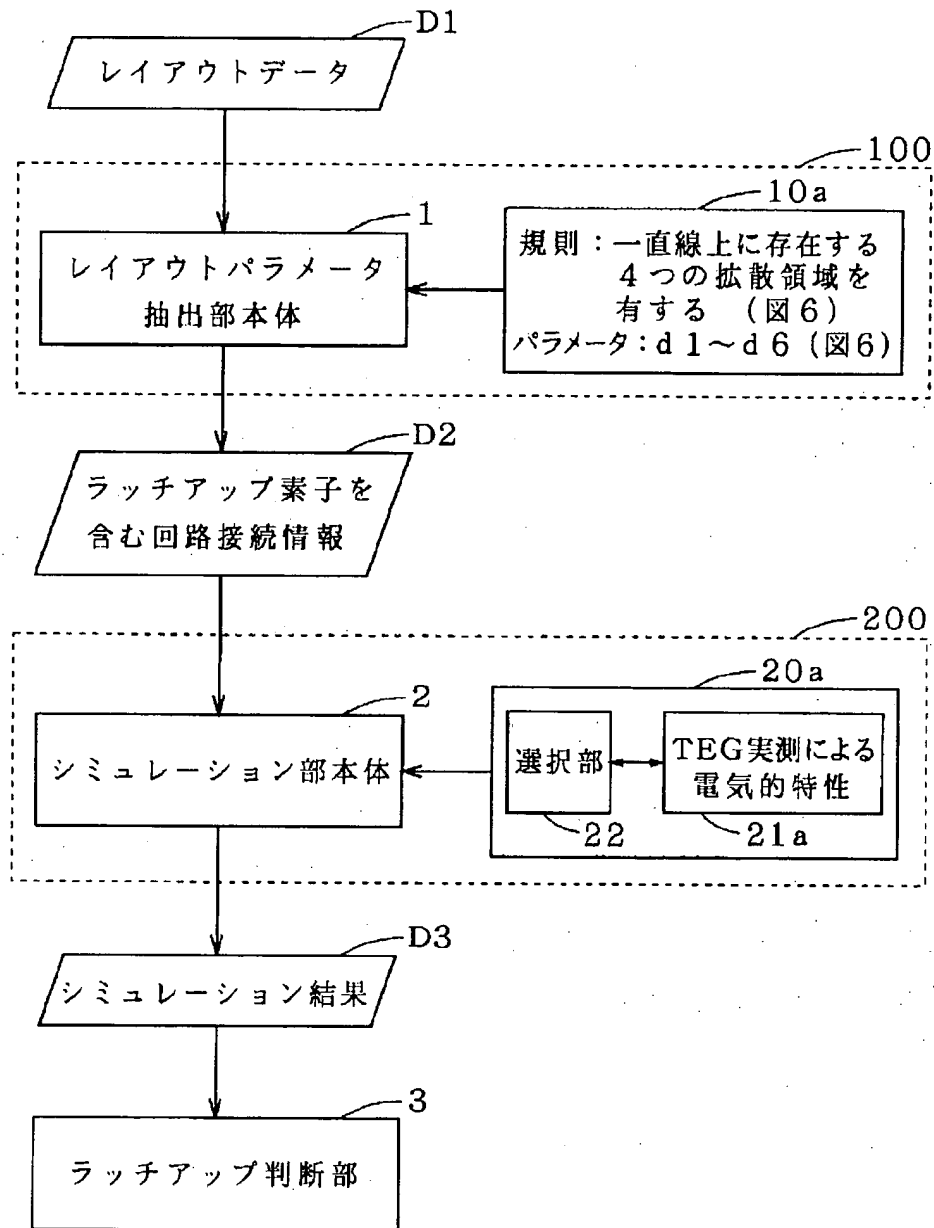
【図1】



100; レイアウトパラメータ抽出部

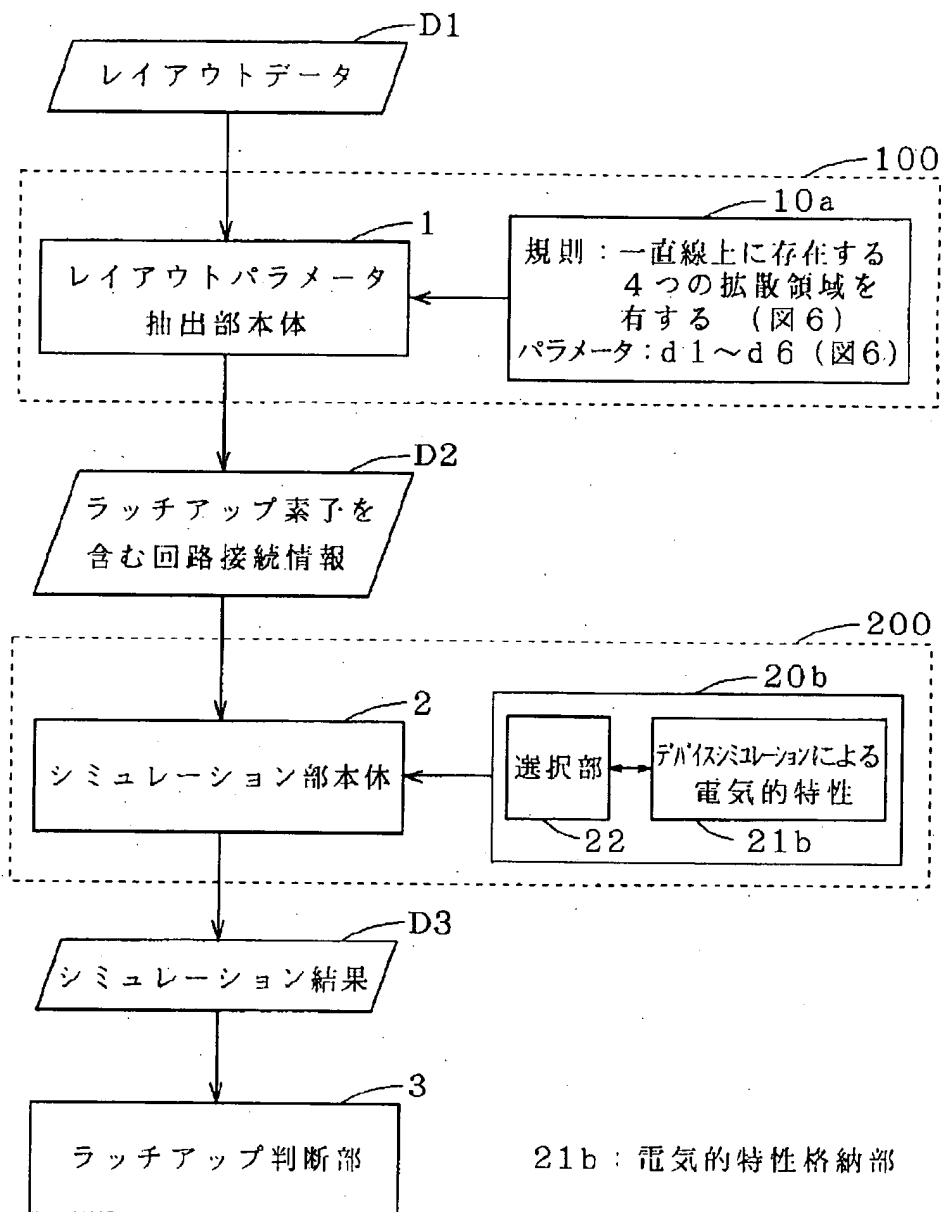
200; シミュレーション部

【図5】

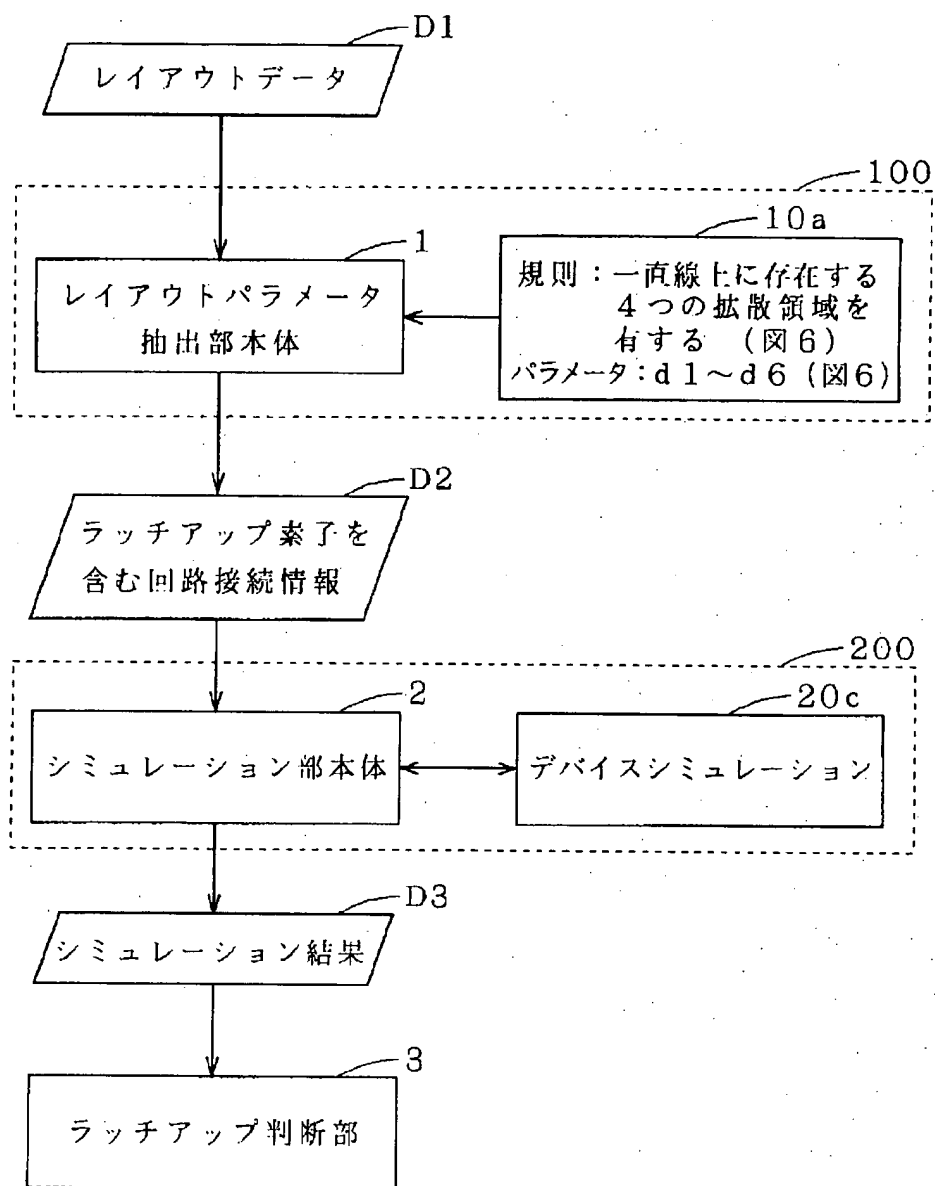


21a : 電気的性性格納部

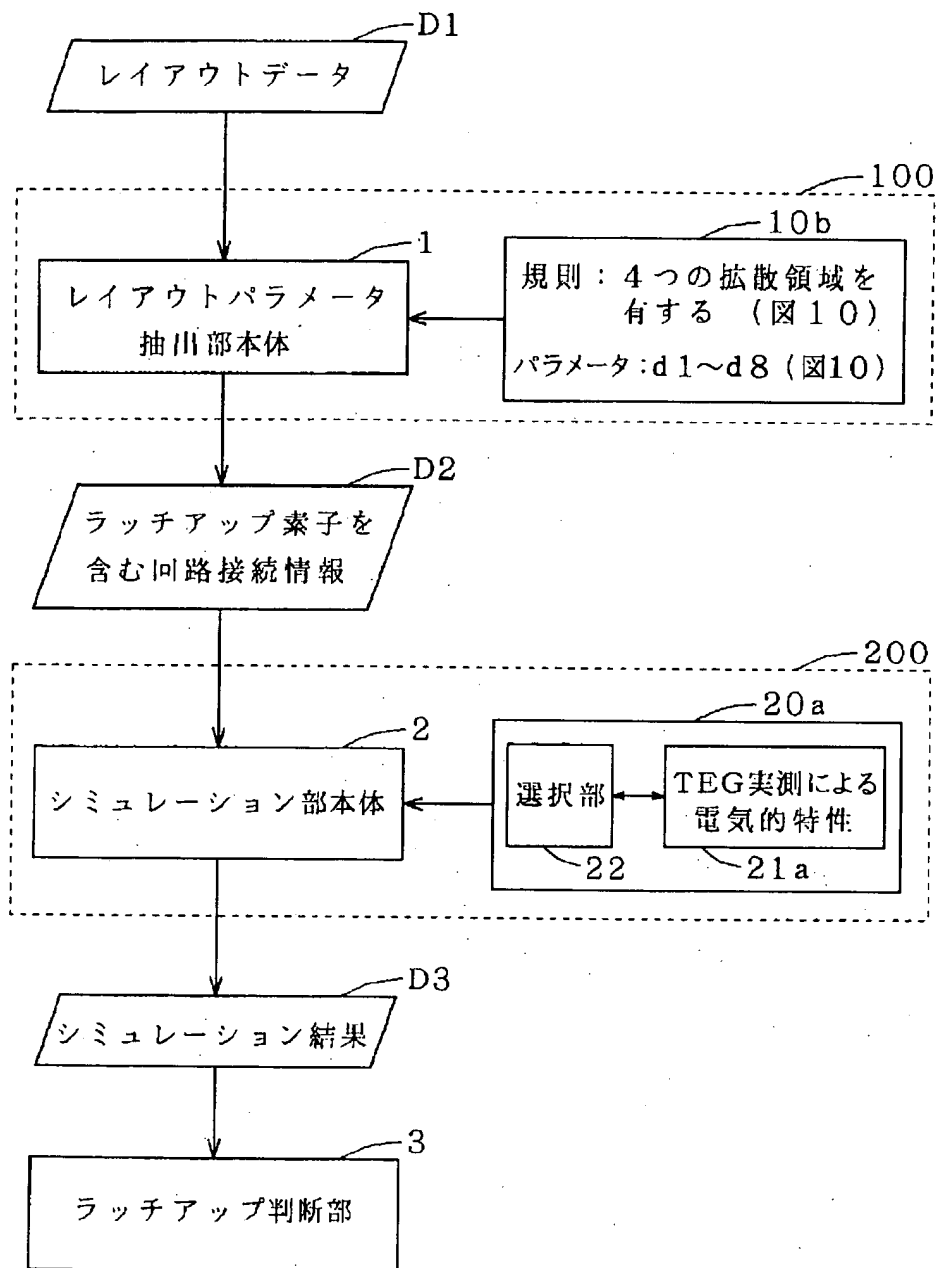
【図7】



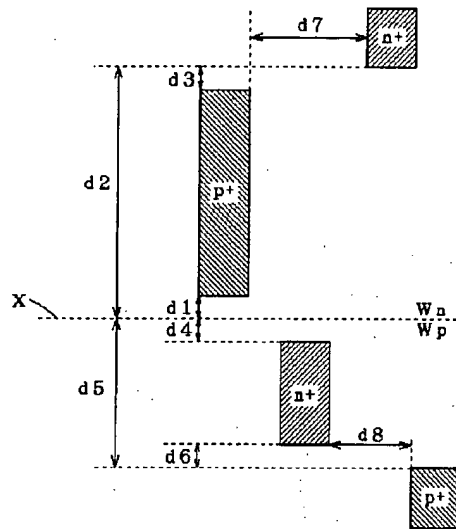
【図8】



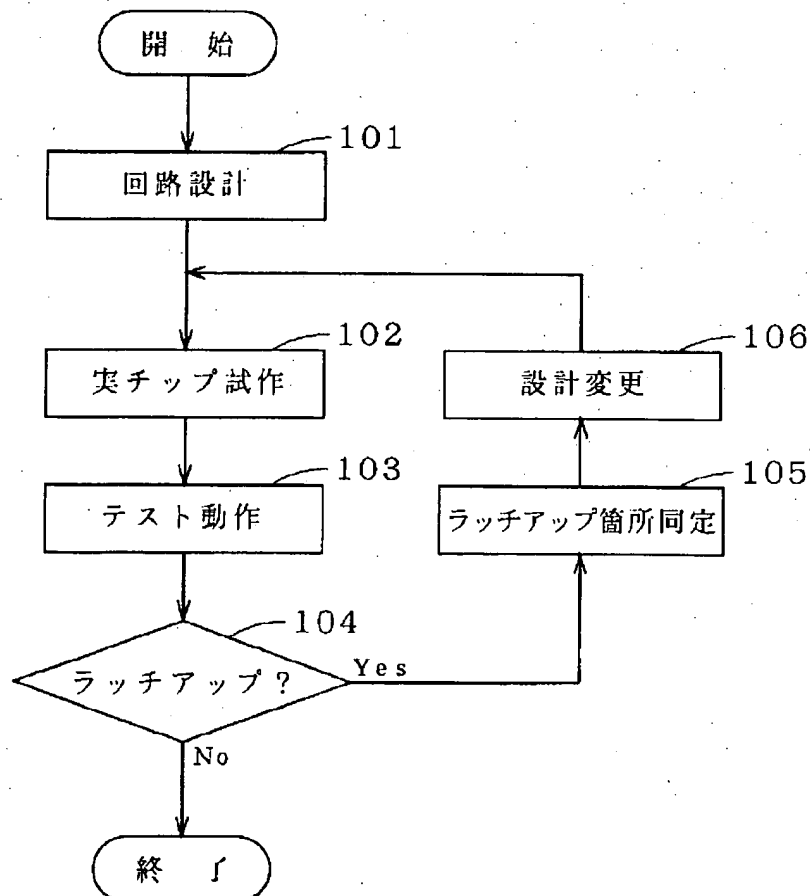
【図9】



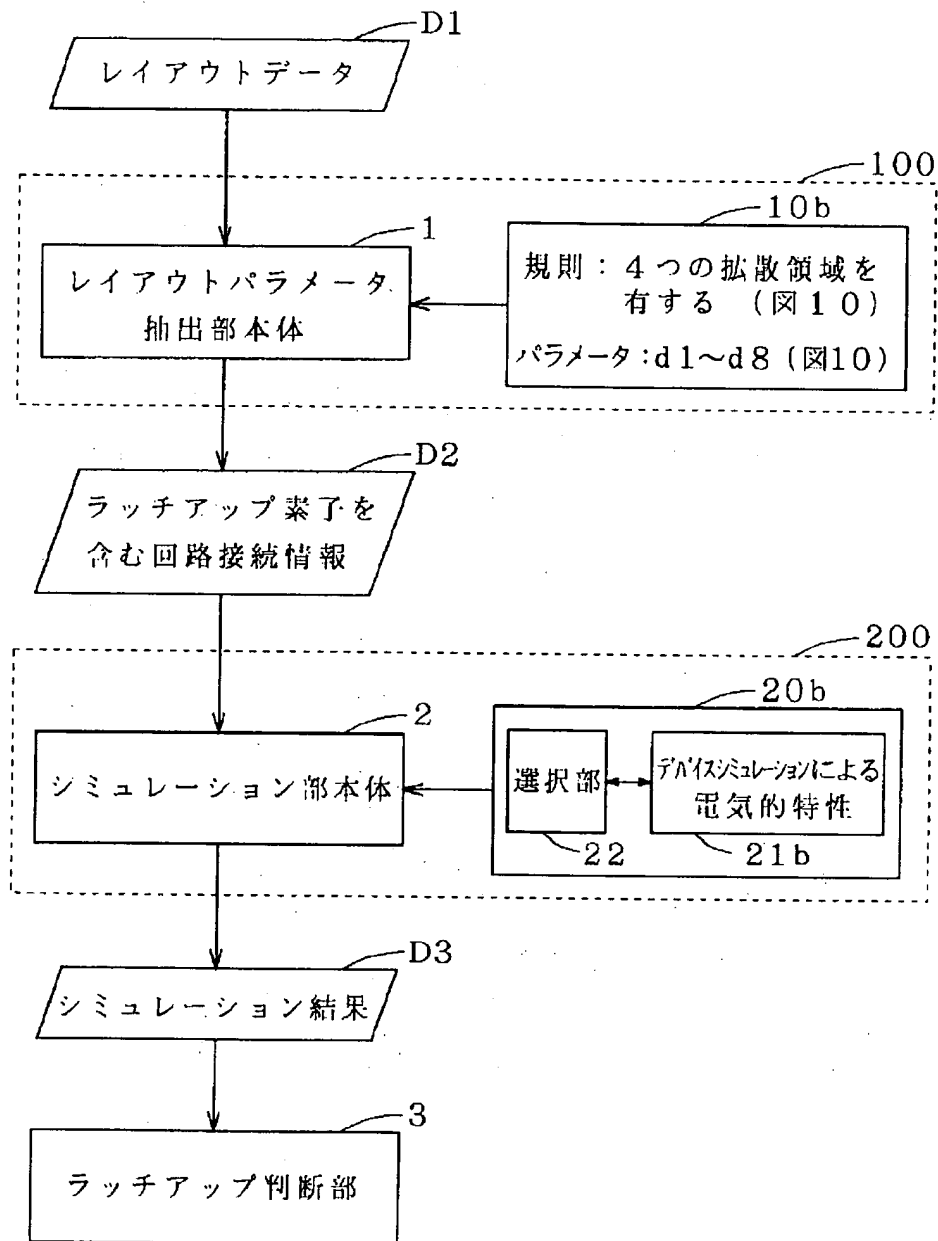
【図10】



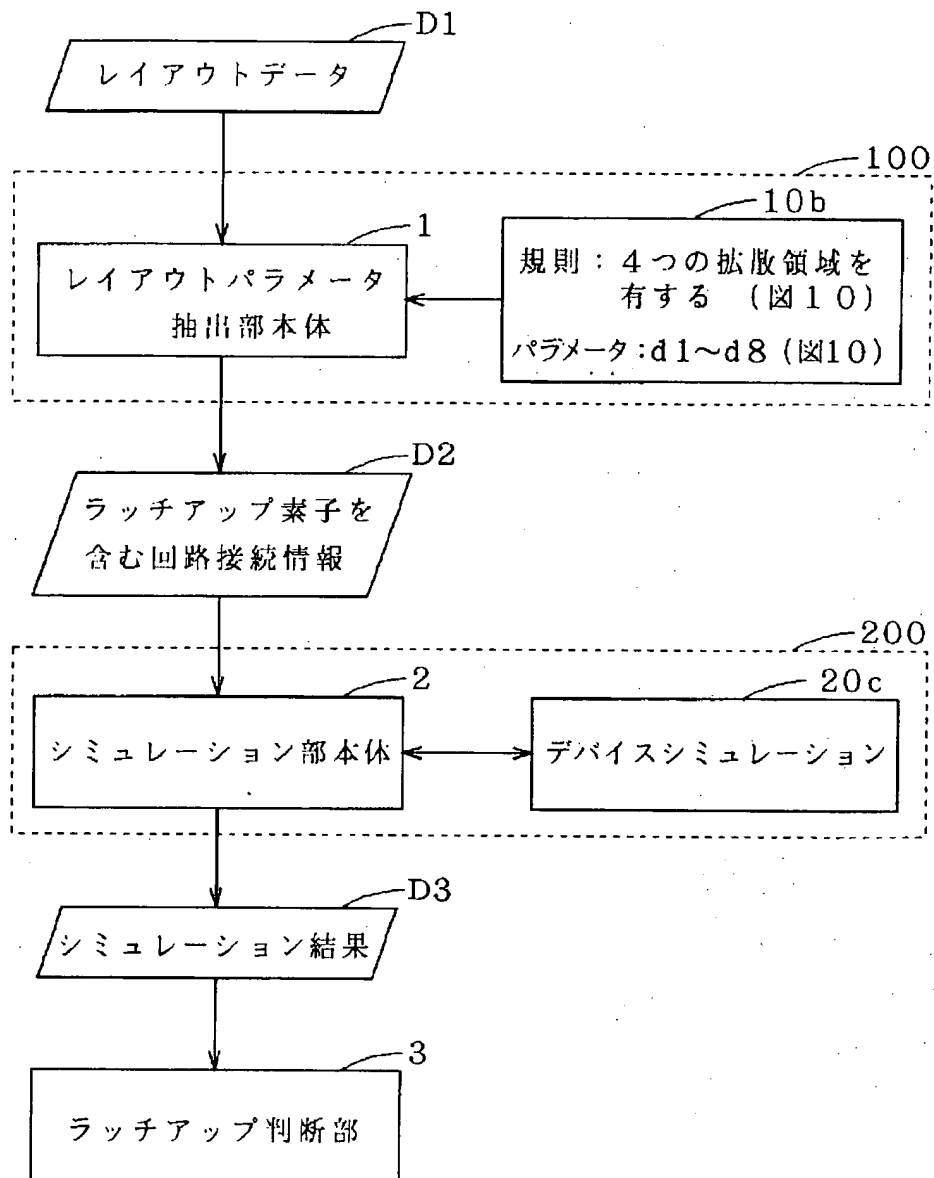
【図13】



【図11】



【図12】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/822

識別記号

FI  
H01L 21/82  
27/04

T  
T